

Family list

1 family member for:

JP6061257

Derived from 1 application.

1 THIN FILM TRANSISTOR AND ITS MANUFACTURE

Publication info: JP6061257 A - 1994-03-04

Data supplied from the *esp@cenet* database - Worldwide

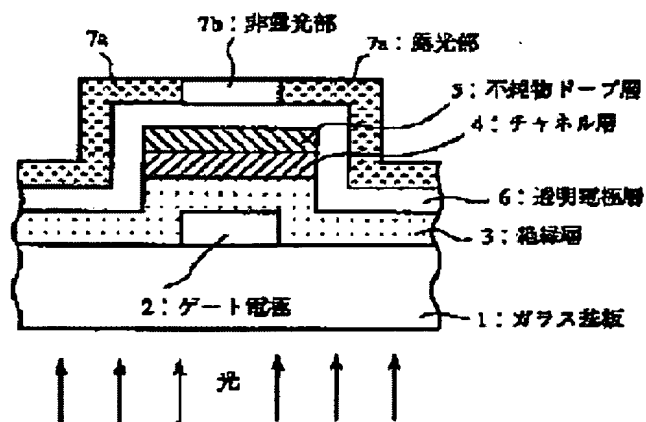
THIN FILM TRANSISTOR AND ITS MANUFACTURE

Patent number: JP6061257
Publication date: 1994-03-04
Inventor: ASANO MASAOKI
Applicant: DAINIPPON PRINTING CO LTD
Classification:
- international: **H01L21/336; H01L21/02;** (IPC1-7):
H01L21/336; H01L29/784
- european:
Application number: JP19920229231 19920805
Priority number(s): JP19920229231 19920805

Report a data error here

Abstract of JP6061257

PURPOSE: To restrain parasitic capacity generated between a gate electrode, and a source electrode and a drain electrode. **CONSTITUTION:** A gate electrode 2 is formed on a glass substrate 1 and an SiNx-based insulation layer 3, an a-Si: H-based channel layer 4 and an n-type impurity doped layer 5 are formed thereon. A transparent electrode layer 6 and a negative type resist layer 7 are formed, back exposure is carried out from a lower surface side of the glass substrate 1 and shadow of the gate electrode 2 is formed in a resist layer. A non-exposure part 7b is removed by developing the resist layer, the transparent electrode layer 6 is etched using an exposure part 7a as a mask and a source electrode and a drain electrode are formed.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-61257

(43) 公開日 平成6年(1994)3月4日

(51) Int. Cl. ⁵

H01L 21/336

29/784

識別記号

F I

9056-4M

H01L 29/78

311

P

審査請求 未請求 請求項の数6 (全9頁)

(21) 出願番号 特願平4-229231

(22) 出願日 平成4年(1992)8月5日

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 浅野 雅朗

東京都新宿区市谷加賀町1丁目1番1号

大日本印刷株式会社内

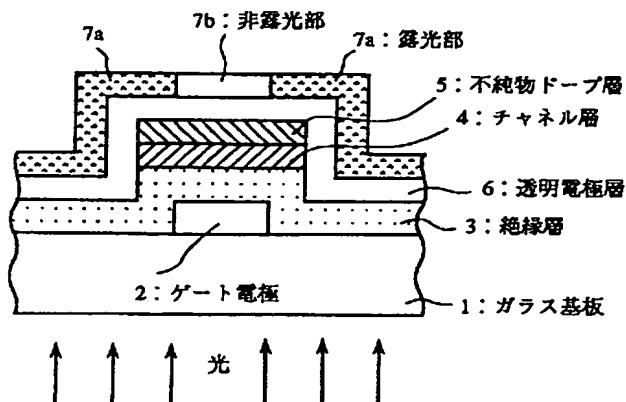
(74) 代理人 弁理士 志村 浩

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】

【目的】 ゲート電極と、ソース電極およびドレイン電極との間に生じる寄生容量を抑制する。

【構成】 ガラス基板1上に、ゲート電極2を形成し、その上に、SiNxからなる絶縁層3、a-Si:Hからなるチャンネル層4、n型不純物ドーパ層5を形成する。更に、透明電極層6およびネガ型レジスト層7を形成し、ガラス基板1の下面側からバック露光を行い、ゲート電極2の影をレジスト層7に作る。レジスト層7を現像して非露光部7bを除去し、露光部7aをマスクとして透明電極層6をエッチングし、ソース電極およびドレイン電極を形成する。



【特許請求の範囲】

【請求項 1】 基板上にソース電極、ドレイン電極およびゲート電極が形成された薄膜トランジスタにおいて、前記基板の上面に前記各電極のパターンを投影したときに、前記ソース電極の投影パターンと前記ゲート電極の投影パターンとの間、および前記ドレイン電極の投影パターンと前記ゲート電極の投影パターンとの間に、重なりが生じないように構成したことを特徴とする薄膜トランジスタ。

【請求項 2】 ソース電極およびドレイン電極をバターニングするときに、基板側から光を照射して、ゲート電極をマスクとして用いた露光を行うことを特徴とする薄膜トランジスタの製造方法。

【請求項 3】 透明な基板の上面に不透明なゲート電極を形成する段階と、
この上に、透明な絶縁層を介して、透明な半導体チャンネル層および透明な不純物ドーブ層を順に形成する段階と、

この上に、透明電極層を形成し、この透明電極層上にレジスト層を形成する段階と、
前記基板の下面側から光を照射し、前記ゲート電極をマスクとして用い、前記レジスト層を露光する段階と、
前記レジスト層を現像し、非露光部を除去する段階と、
前記レジスト層の露光部をマスクとして用い、前記透明電極層をエッチングし、ソース電極およびドレイン電極の対向部を形成する段階と、
前記透明電極層をバターニングし、ソース電極およびドレイン電極の前記対向部以外の部分を形成する段階と、
を有することを特徴とする薄膜トランジスタの製造方法。

【請求項 4】 請求項 3 に記載の製造方法において、複数の薄膜トランジスタの各ドレイン電極を電氣的に接続するための補助配線層を形成する段階を更に行うことを特徴とする薄膜トランジスタの製造方法。

【請求項 5】 ゲート電極をバターニングするときに、基板側から光を照射して、ソース電極およびドレイン電極をマスクとして用いた露光を行うことを特徴とする薄膜トランジスタの製造方法。

【請求項 6】 透明な基板の上面に不透明なソース電極およびドレイン電極を形成する段階と、
この上に、透明な絶縁層を介して、透明な半導体チャンネル層を形成する段階と、
この上に、透明電極層を形成し、この透明電極層上にレジスト層を形成する段階と、
前記基板の下面側から光を照射し、前記ソース電極およびドレイン電極をマスクとして用い、前記レジスト層を露光する段階と、
前記レジスト層を現像し、非露光部を除去する段階と、
前記レジスト層の露光部をマスクとして用い、前記透明電極層をエッチングし、ゲート電極の両側部を形成する

段階と、

前記透明電極層をバターニングし、ゲート電極の前記両側部以外の部分を形成する段階と、

を有することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は薄膜トランジスタの製造方法、特に寄生容量の発生を抑制することのできる製造方法に関する。

【 0 0 0 2 】

【従来の技術】 薄膜トランジスタは、特に液晶ディスプレイの分野での利用価値が高く、その需要は今後益々増大してゆくものと思われる。薄膜トランジスタは、通常、ガラス基板の上にゲート電極を形成し、この上に絶縁層を挟んでソース電極およびドレイン電極、ならびに真性半導体からなるチャンネル層を形成してなる素子である。チャンネル層は、ソース電極とドレイン電極との間に形成される領域であり、ゲート電極に印加する電圧を制御することにより、チャンネル層を導通状態にしたり、非導通状態にしたりすることができ、ソース電極とドレイン電極との間が ON/OFF するスイッチング素子としての動作を行うことができる。

【 0 0 0 3 】 このような薄膜トランジスタを液晶ディスプレイに応用する場合には、1 画素に 1 トランジスタが対応するように、各トランジスタを縦横にマトリックス状に配列することになる。そして、たとえばゲート電極をこのマトリックスの横方向に伸ばし、ドレイン電極をこのマトリックスの縦方向に伸ばし、ソース電極を各画素に対応する表示電極に接続すれば、ゲート電極とドレイン電極との組み合わせにより、任意の画素に対応する表示電極の電位を制御することができるようになる。

【 0 0 0 4 】

【発明が解決しようとする課題】 薄膜トランジスタを構成するゲート電極、ソース電極、ドレイン電極は、当然のことながらいずれも導電性材料（通常は金属）によって構成されている。しかも構造としては、ゲート電極に対して絶縁層を挟んで、ソース電極およびドレイン電極が形成された構造となる。このため、ゲート電極を第 1 の電極、ソース電極およびドレイン電極を第 2 の電極とする容量素子が形成され、回路上の寄生容量が発生してしまう。このような寄生容量は、ゲート電極に与えたゲートパルスの波形を変形させる作用があり、薄膜トランジスタの動作上好ましくないふるまいをする。

【 0 0 0 5 】 このような寄生容量の影響を抑制するため、通常は、保持容量と呼ばれている別な容量素子を意図的に形成している。しかし、このような保持容量を設けると、構造が複雑になり、表示電極の開口率が減少するという別な弊害が生じることになる。

【 0 0 0 6 】 そこで本発明は、ゲート電極と、ソース電

極およびドレイン電極との間に生じる寄生容量を抑制することができる薄膜トランジスタの製造方法を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】(1) 本願第 1 の発明は、基板上にソース電極、ドレイン電極、およびゲート電極が形成された薄膜トランジスタにおいて、基板の上面に各電極のパターンを投影したときに、ソース電極の投影パターンとゲート電極の投影パターンとの間、およびドレイン電極の投影パターンとゲート電極の投影パターンとの間に、重なりが生じないように構成したものである。

【 0 0 0 8 】(2) 本願第 2 の発明は、薄膜トランジスタの製造方法において、ソース電極およびドレイン電極をパターニングするときに、基板側から光を照射して、ゲート電極をマスクとして用いた露光を行うようにしたものである。

【 0 0 0 9 】(3) 本願第 3 の発明は、薄膜トランジスタの製造方法において、透明な基板の上面に不透明なゲート電極を形成する段階と、この上に、透明な絶縁層を介して、透明な半導体チャネル層および透明な不純物ドーパ層を順に形成する段階と、この上に、透明電極層を形成し、この透明電極層上にレジスト層を形成する段階と、基板の下面側から光を照射し、ゲート電極をマスクとして用い、レジスト層を露光する段階と、レジスト層を現像し、非露光部を除去する段階と、レジスト層の露光部をマスクとして用い、透明電極層をエッチングし、ソース電極およびドレイン電極の対向部を形成する段階と、透明電極層をパターニングし、ソース電極およびドレイン電極の対向部以外の部分を形成する段階と、を行うようにしたものである。

【 0 0 1 0 】(4) 本願第 4 の発明は、上述の第 2 の発明に係る薄膜トランジスタの製造方法において、複数の薄膜トランジスタの各ドレイン電極を電気的に接続するための補助配線層を形成する段階を更に行うようにしたものである。

【 0 0 1 1 】(5) 本願第 5 の発明は、薄膜トランジスタの製造方法において、ゲート電極をパターニングするときに、基板側から光を照射して、ソース電極およびドレイン電極をマスクとして用いた露光を行うようにしたものである。

【 0 0 1 2 】(6) 本願第 6 の発明は、薄膜トランジスタの製造方法において、透明な基板の上面に不透明なソース電極およびドレイン電極を形成する段階と、この上に、透明な絶縁層を介して、透明な半導体チャネル層を形成する段階と、この上に、透明電極層を形成し、この透明電極層上にレジスト層を形成する段階と、基板の下面側から光を照射し、ソース電極およびドレイン電極をマスクとして用い、レジスト層を露光する段階と、レジスト層を現像し、非露光部を除去する段階と、レジスト

層の露光部をマスクとして用い、透明電極層をエッチングし、ゲート電極の両側部を形成する段階と、透明電極層をパターニングし、ゲート電極の両側部以外の部分を形成する段階と、を行うようにしたものである。

【 0 0 1 3 】

【作 用】寄生容量が発生する原因は、ゲート電極に対して、ソース電極およびドレイン電極が部分的に覆い被さるような構造になるためである。これは、ゲート電極のパターニングと、ソース電極およびドレイン電極のパターニングとが、全く別個のマスクを用いたフォトリソグラフィによって行われることに起因する。本発明による方法のポイントは、いわゆるボトムゲート型の薄膜トランジスタにおいては、ソース電極およびドレイン電極のパターニングを、既に形成されたゲート電極自身をマスクとして用いたフォトリソグラフィによって行うようにし、いわゆるトップゲート型の薄膜トランジスタにおいては、ゲート電極のパターニングを、既に形成されたソース電極およびドレイン電極自身をマスクとして用いたフォトリソグラフィによって行うようにした点にある。各電極自身がマスクとなるため、いわゆるセルフアライメントが行われ、ゲート電極に対して、ソース電極およびドレイン電極が覆い被さる部分がなくなる。このように電極自身をマスクとして用いたフォトリソグラフィを可能にするため、マスク電極となるべき電極層として透明電極層を用いるようにし、基板側から光を照射するバック露光を行うようにしている。

【 0 0 1 4 】

【実施例】以下、本発明を図示する実施例に基づいて説明する。図 1 は、一般的な液晶ディスプレイに薄膜トランジスタを利用する場合に、複数の薄膜トランジスタをマトリックス状に配列した状態を示す上面図である。図に実線で示されている部分がゲート電極 G である。このゲート電極 G は、図の横方向に伸びディスプレイの走査線に対応する主部と、この主部から図の下方に伸び、各トランジスタ素子についてのゲートとして作用するゲート部と、によって構成されている。一方、図に破線で示されている部分がドレイン電極 D であり、このドレイン電極 D は図の縦方向に伸び、ディスプレイのデータ線として機能する。こうして、横方向に配列された複数のゲート電極 G と、縦方向に配列された複数のドレイン電極 D と、によって多数の升目が形成され、この各升目に表示電極 E (図に二点鎖線で示す) が形成される。この各表示電極 E に対して電気的に接触するように、各ソース電極 S (図に一点鎖線で示す) が形成されており、各ソース電極 S とドレイン電極 D との間に、活性層 A (図に点線で示す) が形成されている。各活性層 A には、ゲート電極 G のゲート部が重なっており、このゲート電極 G に印加する電圧によって、活性層 A 内のチャネル層を ON/OFF 制御することができる。

【 0 0 1 5 】 上述の構造において、1 組の薄膜トランジ

5

スタは、ソース電極 S、ドレイン電極 D、これらの間に形成された活性層 A、そしてこの活性層 A を制御するためのゲート電極 G、によって構成されることになる。図 1 には、4 組の薄膜トランジスタが形成されている状態が示されているが、実際には多数のトランジスタが二次元平面上に形成され、各表示電極 E を 1 画素とするディスプレイが形成される。特定の 1 走査線に対応するゲート電極 G に所定の電圧を印加すれば、図の横一列に並んだ薄膜トランジスタのチャンネル層を ON の状態にすることができ、データ線としての各ドレイン電極 D に与えた信号値を表示電極 E に書き込むことができる。別言すれば、図の横方向に配列された複数のゲート電極 G と、図の縦方向に配列された複数のドレイン電極 D と、に対して選択的に電圧を印加することにより、二次元平面上に配列された多数の表示電極 E のうちの所望の電極に所望の電荷を蓄積させることができる。

【0016】図 1 における切断線 X-X' に相当する断面の一部を図 2 に示す。ガラス基板 1 上にゲート電極 2 (図 1 のゲート電極 G に対応) が形成されており、その上に、絶縁層 3 を挟んで、チャンネル層 4 (図 1 の活性層 A に対応) が形成される。更に、ドレイン側不純物ドープ層 5 D を介してドレイン電極 6 D (図 1 のドレイン電極 D に対応) が、ソース側不純物ドープ層 5 S を介してソース電極 6 S (図 1 のソース電極 S に対応) が、それぞれ形成されている。ドレイン側不純物ドープ層 5 D およびソース側不純物ドープ層 5 S は、チャンネル層 4 に対するオーミック接触を確保するための中間層である。

【0017】このような構造をもった薄膜トランジスタにおいて、寄生容量が発生する理由を図 3 に基づいて説明しよう。図 3 は図 2 の断面図を別な描き方で示したものであるが、ここで、ゲート電極 2、ドレイン電極 6 D、ソース電極 6 S、の空間的な位置関係に着目すれば、寄生容量が発生していることが理解できよう。すなわち、ゲート電極 2 とドレイン電極 6 D とは、図の区間 $\Delta 1$ において重複しており、ゲート電極 2 とソース電極 6 S とは、図の区間 $\Delta 2$ において重複している。したがって、各電極の太線で示す部分が上下で対向電極を形成し、容量素子が形成されることになる。このような寄生容量は、ゲート電極 2 に与えたゲートパルスの波形を変形させる作用があり、薄膜トランジスタの動作上好ましくないふるまいをすることは、既に述べたとおりである。本発明は、ゲート電極 2 をマスクとして用いてドレイン電極 6 D およびソース電極 6 S をパターニングし、重複区間 $\Delta 1$ および $\Delta 2$ の長さを零にしようとする製造方法を提供するものである。そのために、ドレイン電極 6 D およびソース電極 6 S に透明電極を用い、基板側からのバック露光を行うようにしている。以下、図 1 における切断面 X-X' に相当する断面について、この製造方法の各工程を順に述べることにする。

【0018】まず、図 4 に示すように、ガラス基板 1 の

6

上にゲート電極 2 を形成する。このゲート電極 2 は、図 1 のゲート電極 G に対応するものであり、平面的には図 1 に示すパターンをしている。このようなパターンは、一般的なフォトリソグラフィ工程によって形成できる。続いて、図 5 に示すように、この上に絶縁層 3、チャンネル層 4、不純物ドープ層 5 を順次形成する。チャンネル層 4 および不純物ドープ層 5 の平面的なパターンは、図 1 における活性層 A に対応するパターンとなる。このようなパターンも、一般的なフォトリソグラフィ工程によって形成できる。なお、この実施例では、ゲート電極 2 の材料として Cr を、絶縁層 3 の材料として SiNx を、チャンネル層 4 の材料として水素を添加したアモルファスシリコン (a-Si:H) を、それぞれ用いており、更に、不純物ドープ層 5 の材料としては、チャンネル層 4 の材料に更に n^+ 型不純物をドープした材料 (n^+ a-Si:H) を用いている。これらの材料は、従来の一般的な薄膜トランジスタにおいて用いられている一般的な材料であり、この図 5 に至るまでの工程は、従来の製造工程と全く同様である。

【0019】続いて、図 6 に示すように、この上に、透明電極層 6 およびレジスト層 7 を形成する。ここで、透明電極層 6 は、ソース電極 6 S およびドレイン電極 6 D を形成するための元になる電極層であるが、これを透明な導電材料で構成する点が、本発明の特徴のひとつである。従来は、Cr や Al などの不透明な金属を用いてソース電極やドレイン電極を構成するのが一般的であったが、本発明では、後のバック露光の工程を行う関係上、これを透明な導電材料で構成しておく必要がある。この実施例では、透明電極層 6 の材料としては、ITO (Indium Tin Oxide) を用いている。また、レジスト層 7 は、この透明電極層 6 をパターニングするためのネガ型レジストである。

【0020】本発明のポイントは、ゲート電極 2 をマスクとして用いて、透明電極層 6 をパターニングし、ソース電極 6 S およびドレイン電極 6 D を形成することにある。そこで、図 7 に示すように、ガラス基板 1 の下面側から光を照射し、いわゆるバック露光を行う (従来の製造工程では、パターニングのための露光はすべてガラス基板 1 の上面側から行われていた)。ここで、Cr となるゲート電極 2 は不透明であるが、他の各層はいずれも透明であるため、レジスト層 7 にはゲート電極 2 の影だけが投影され、影に隠れなかった露光部 7 a と、影に隠れた非露光部 7 b とが形成されることになる。ネガ型のレジストを用いれば、レジスト層 7 の現像により、露光部 7 a のみを残し非露光部 7 b を除去できる。こうして、残った露光部 7 a をマスクとしてエッチング処理を施せば、図 8 に示すように、ソース電極 6 S およびドレイン電極 6 D のパターニングが完了する。続いて、これら両電極をマスクとして、不純物ドープ層 5 に対するエッチング処理を行えば、図 9 に示すように、ソース側不

10

20

30

40

50

純物ドープ層 5 S およびドレイン側不純物ドープ層 5 D を形成することができる。

【0021】以上の工程により、薄膜トランジスタの主要部の製造は完了である。構造的には、図 2 に示した従来構造のものとほぼ同じ構造の素子が形成されたことになる。ただ、従来構造の素子では、図 3 に示すように、ゲート電極 2 と、ソース電極 6 S およびドレイン電極 6 D との間に重複区間 $\Delta 1$ 、 $\Delta 2$ が生じ、寄生容量が発生しているが、本発明の工程で製造された素子では、図 9 に一点鎖線で示すように、ゲート電極 2 の端部とソース電極 6 S およびドレイン電極 6 D の端部とが揃っており、重複区間は零となっている。このように、ゲート電極 2 をマスクとして用いて、ソース電極 6 S およびドレイン電極 6 D のパターニングを行うようにすることにより、寄生容量をほとんど零にすることが可能になる。

【0022】以上、図 1 の切断線 X-X' に対応する断面について、本発明の工程を説明してきたが、平面的な構造を考慮すると、上述の工程説明は完全ではない。実際には、更に、余分な工程が 2 工程必要になる。第 1 の余分な工程は、ソース電極 6 S およびドレイン電極 6 D のパターニングを完了する工程である。断面図に基づいて行われた上述の説明では、図 7 に示すバック露光の後のエッチングにより、図 8 に示すようなソース電極 6 S およびドレイン電極 6 D が形成されたように示されているが、実際には、この時点では、まだソース電極 6 S およびドレイン電極 6 D は一部分しか形成されていない。これは、図 7 に示すバック露光によって形成される平面的なパターンを考えてみれば理解できる。すなわち、ゲート電極 2 の平面的なパターンは、図 1 にゲート電極 G として実線で示されているようなパターンである。したがって、図 7 に示す工程において、ゲート電極 2 をマスクとしたバック露光を行うことによって、レジスト層 7 上に転写されるパターンは、図 1 にゲート電極 G として実線で示されているパターンそのものである。図 10 に、このパターンの一部（1 つの薄膜トランジスタに対応する領域）を示す。ハッチングを施した部分が露光部 7 a であり、白抜き部分が非露光部 7 b である。切断線 X-X' に対応する断面では、図 7 に示す状態になっていることがわかるであろう。したがって、このような平面パターンをもったレジストを用いたエッチングを行

もう一度、ソース電極 6 S およびドレイン電極 6 D を形成するためのパターニング工程を行う必要がある。これが第 1 の余分な工程である。

【0023】具体的には、図 11 に示すような、マスクを用いたフォトリソグラフィ工程を行えばよい。ここで、破線で示したゲート領域 A g は、ゲート電極 2 が形成されている平面的な領域を示すものであり、ハッチングを施した部分にソース領域 A s およびドレイン領域 A d を定義し、このソース領域 A s およびドレイン領域 A d に対応する領域のみが残るように、透明電極層 6 に対する二度目のエッチングを行えばよい。なお、このとき、図 8 に示すように、一度目のエッチングによってわざわざ形成したソース電極 6 S およびドレイン電極 6 D の対向部 6 S S および 6 D D は、二度目のエッチングの影響を受けない状態にする必要がある。したがって、図 11 に示すように、ソース領域 A s およびドレイン領域 A d の境界部は、ゲート領域 A g の境界部に対して、いくらかの余裕部分 $\Delta 3$ 、 $\Delta 4$ をもつように設計しておく必要がある。この余裕部分 $\Delta 3$ 、 $\Delta 4$ を、マスク合わせの際に生じる誤差に比べて大きくしておけば、対向部 6 S S、6 D D が二度目のエッチングにより影響を受けることはない。

【0024】結局、本発明の工程では、透明電極層 6 に対しては、二度のパターニング（エッチング）が行われることになる。一度目のパターニングでは、図 10 にハッチングで示した領域が残り、二度目のパターニングでは、図 11 にハッチングで示した領域が残ることになる。したがって、二度のパターニングによって最終的には、図 12 にハッチングで示した部分だけが残ることになる。すなわち、ソース電極 6 S およびドレイン電極 6 D が形成され、両者の対向部 6 S S および 6 D D は、ゲート領域 A g の境界部に揃った状態となる。図 8 に示す断面図は、実際には、このような二度目のパターニングを行った後の状態に相当する。

【0025】ところで、図 12 に明瞭に示されているように、ゲート電極 2 をマスクとしたパターニング（一度目のパターニング）を行ったため、ドレイン電極は分断領域 Z において、ドレイン電極 6 D と 6 D' とに分断されてしまっている。図 1 の平面図に破線によって示されているように、本来、ドレイン電極 D は、図の縦方向に伸び、一列に並んだ複数の素子についての共通の電極を構成しなければならない。ところが、本発明による工程を実施すると、図 1 の平面図におけるゲート電極 G とドレイン電極 D との交差部分において、ドレイン電極 D は分断されてしまうことになる。本発明で必要になる第 2 の余分な工程（ドレイン電極を配線として用いない場合には、この第 2 の余分な工程は必ずしも必要ではない）は、このように分断されたドレイン電極 D を電氣的に接続するための補助配線層を形成する工程である。

【0026】図 12 における切断線 Y-Y' に対応する

断面を図 1 3 に示す。絶縁層 3 上に形成されたドレイン電極 6 D と 6 D' とは、分断領域 Z において分断されてしまっている。これは、ゲート電極 2 をマスクとするパターニングを行ったためである。そこで、このような分断部分には、図 1 4 にハッチングを施して示すような補助配線層 8 (たとえば、Cr や Al などの金属材料を用いる) を形成し、両者を電氣的に接続する。こうすることにより、図 1 に示す従来の薄膜トランジスタ群と同等の機能をもった素子を実現できる。

【0027】なお、一般に、透明電極材料は、Cr や Al といった金属材料に比べて電気抵抗が高いため、複数の素子についての共通配線として用いられるドレイン電極 D 全体を、この透明電極材料でのみ構成した場合、配線の電気抵抗が高くなるというデメリットが生じる場合がある。このような場合には、透明電極材料からなるドレイン電極 D の上面の一部に、更に、Cr や Al などの電導率の高い材質からなる層を形成するようにしてもよい。

【0028】また、ソース電極 6 S およびドレイン電極 6 D を透明電極材料によって構成すると、ソース側不純物ドープ層 5 S およびドレイン側不純物ドープ層 5 D との間でのオーミックな接触が保ちにくいというデメリットが生じる場合がある。このような場合には、両者間に薄い Cr 層などを挟むような構造にすればよい。具体的には、不純物ドープ層 5 を形成した上に、薄い Cr 層を形成し、その上から透明電極層 6 を形成するようにすればよい。Cr 層の厚みを 0.05 μm 程度にしておけば、この Cr 層はほぼ透明な層となり、バック露光を行う際の障害にはならない。

【0029】以上の製造工程は、いわゆるボトムゲート型のスタガ構造と呼ばれる図 9 に示すような断面構造をもった薄膜トランジスタに本発明を適用したものである。本発明は、この他にも、いわゆるトップゲート型のスタガ構造と呼ばれる図 1 5 に示すような断面構造をもった薄膜トランジスタにも適用することができる。この図 1 5 に示す薄膜トランジスタでは、ガラス基板 1 の上面に、ソース電極 6 S およびゲート電極 6 D が形成されており、この上に、絶縁層 3 を介してチャネル層 4 およびゲート電極 2 が形成されている。このようなトップゲート型の構造をもった薄膜トランジスタを製造する場合は、上述した実施例とは逆に、ソース電極 6 S およびドレイン電極 6 D をマスクとして用い、ゲート電極 2 をパターニングすればよい。すなわち、図 1 6 に示すように、絶縁層 3 の上に、アモルファスシリコン層 4'、透明電極層 2'、ネガ型のレジスト層 7 を形成した状態で、基板 1 の下面側から光を照射し、バック露光を行う。レジスト層 7 を現像すれば、露光部 7 a のみを残し非露光部 7 b を除去できる。こうして、残った露光部 7 a をマスクとしてエッチング処理を施せば、図 1 5 に示すようなゲート電極 2 の両側部を形成することができ

る。この後、透明電極層 2' を再度パターニングし、ゲート電極 2 の両側部以外の部分を形成すればよい。

【0030】以上、本発明を図示する実施例に基づいて説明したが、本発明はこの実施例のみに限定されるものではなく、この他にも種々の態様で実施可能である。特に、上述の実施例で示した各層の具体的な材料は、一実施例として掲げたものであり、本発明はこれらの材料に限定されるものではない。

【0031】

【発明の効果】以上のとおり本発明に係る薄膜トランジスタの製造方法では、ソース電極およびドレイン電極 (あるいはゲート電極) をパターニングするときに、これらの電極を透明な材料で構成し、基板側から光を照射して、ゲート電極 (あるいはソース電極およびドレイン電極) をマスクとして用いた露光を行うようにしたため、ゲート電極に対して、ソース電極およびドレイン電極が覆い被さる部分がなくなり、両電極間に生じる寄生容量を抑制することができる。

【図面の簡単な説明】

【図 1】一般的な液晶ディスプレイに薄膜トランジスタを利用する場合に、複数の薄膜トランジスタをマトリクス状に配列した状態を示す上面図である。

【図 2】図 1 における切断線 X-X' に対応する切断部の断面図である。

【図 3】図 2 に示す断面図において寄生容量の発生を説明する図である。

【図 4】ガラス基板 1 の上にゲート電極 2 を形成した一般的な薄膜トランジスタの製造工程を示す断面図である。

【図 5】図 4 に示す状態の上に、更に絶縁層 3、チャネル層 4、不純物ドープ層 5 を形成した一般的な薄膜トランジスタの製造工程を示す断面図である。

【図 6】図 5 に示す状態の上に、本発明の製造方法に特有の透明電極層 6 およびレジスト層 7 を形成した工程を示す断面図である。

【図 7】図 6 に示す状態において、ゲート電極 2 をマスクとして用いたバック露光を行う工程を示す断面図である。

【図 8】図 7 に示すバック露光の後、透明電極層 6 に対するエッチングを行った状態を示す断面図である。

【図 9】図 8 に示すエッチングの後、不純物ドープ層 5 に対するエッチングを行った状態を示す断面図である。

【図 10】図 8 に示す構造を得るために行う一度目のパターニングに用いるパターンを示す平面図である。

【図 11】図 8 に示す構造を得るために行う二度目のパターニングに用いるパターンを示す平面図である。

【図 12】図 10 に示すパターンと図 11 に示すパターンとを重ねることによって得られるパターンを示す平面図である。

【図 13】図 1 2 における切断線 Y-Y' に対応する切

11

断部の断面図である。

【図 1 4】図 1 3 に示されている分断領域 Z を接続するための補助配線層 8 を形成した状態を示す断面図である。

【図 1 5】一般的なトップゲート型の薄膜トランジスタの断面構造を示す断面図である。

【図 1 6】図 1 5 に示す構造をもった薄膜トランジスタの構造に本発明を適用する工程を示す断面図である。

【符号の説明】

- 1…ガラス基板
- 2…ゲート電極
- 2'…透明電極層
- 3…絶縁層
- 4…チャネル層
- 4'…アモルファスシリコン層
- 5…不純物ドーブ層
- 5 D…ドレイン側不純物ドーブ層
- 5 S…ソース側不純物ドーブ層
- 6…透明電極層

6 D, 6 D'…ドレイン電極

6 D D'…対向部

6 S…ソース電極

6 S S'…対向部

7…レジスト層

7 a…露光部

7 b…非露光部

8…補助配線層

A…活性層

10 A g…ゲート領域

A s…ソース領域

A d…ドレイン領域

C…チャネル領域

D…ドレイン電極 (データ線)

G…ゲート電極 (走査線)

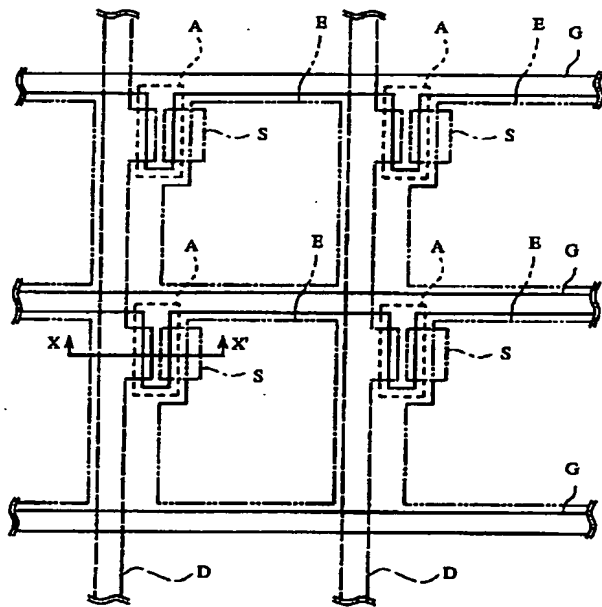
S…ソース電極

$\Delta 1, \Delta 2$ …重複区間

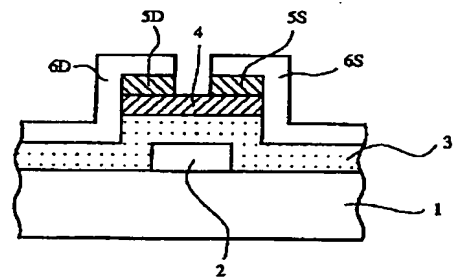
$\Delta 3, \Delta 4$ …余裕部分

12

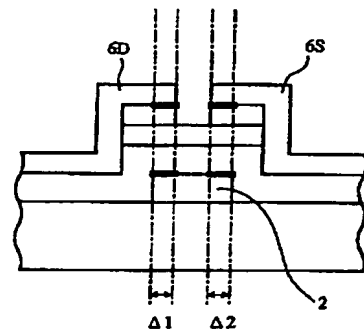
【図 1】



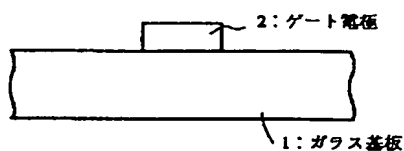
【図 2】



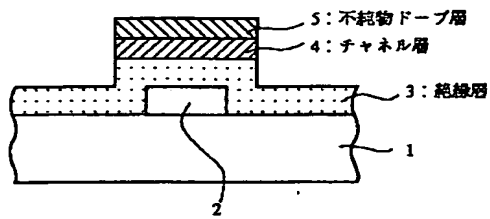
【図 3】



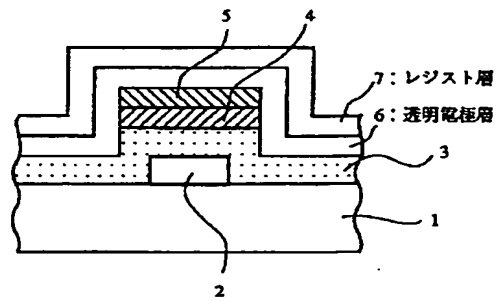
【図 4】



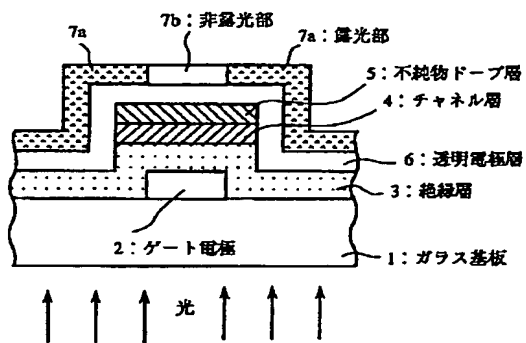
【図5】



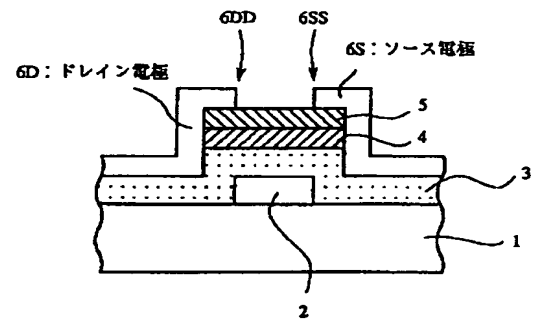
【図6】



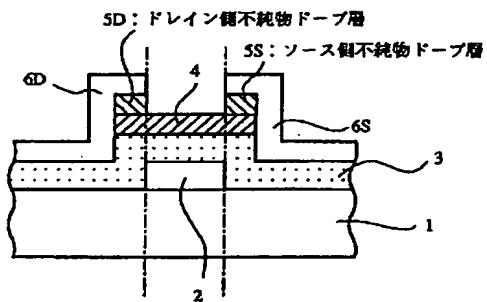
【図7】



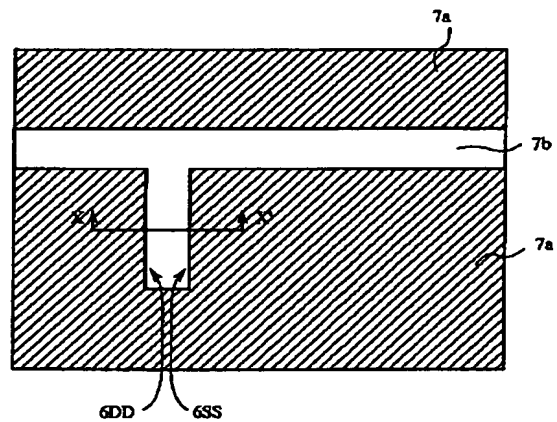
【図8】



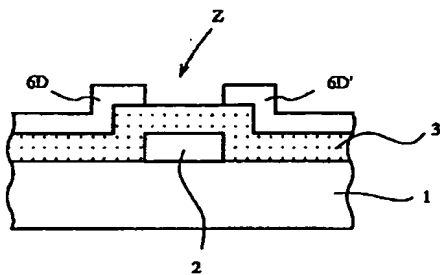
【図9】



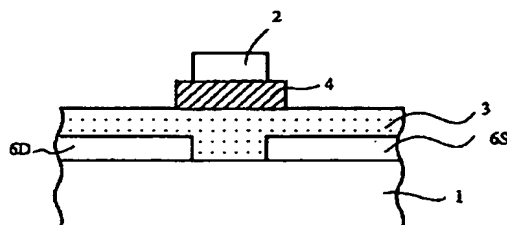
【図10】



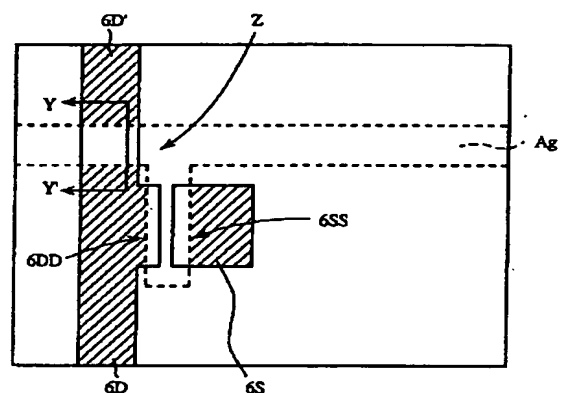
【図13】



【図15】



【图 1 2】



【图 16】

